

2811

RECEIVED

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Ta-Lee YU, et al. ) IC 2600 MAIL ROOM  
Serial No.: 09/992,416 )  
Filed: November 16, 2001 ) Our Ref: B-4392 619330-6  
For: "ESD PROTECTION CIRCUIT" )  
TRIGGERED BY LOW VOLTAGE" ) Date: January 10, 2002

#3  
Priority  
Paper  
3-7-02  
RSL

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner of Patents and Trademarks  
Box New Patent Application  
Washington, D.C. 20231

Sir:

[X] Applicant hereby makes a right of priority claim under 35  
U.S.C. 119 for the benefit of the filing date(s) of the  
following corresponding foreign application(s):

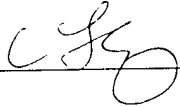
<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	20 November 2000	89124513

[ ] A certified copy of each of the above-noted patent  
applications was filed with the Parent Application  
No. \_\_\_\_\_.

[X] To support applicant's claim, a certified copy of the above-  
identified foreign patent application is enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office  
when required or prior to issuance.

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first-class mail in an envelope addressed  
to the "Commissioner of Patents and  
Trademarks, Washington, D.C. 20231",  
on January 10, 2002 by Cheryl Liang.

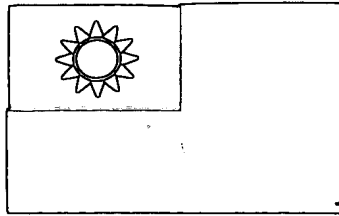


Respectfully submitted,



Ross A. Schmitt  
Attorney for Applicant  
Reg. No. 42,529

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
(323) 934-2300



RECEIVED

JAN 31 2002

7C 2800 MAIL ROOM

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2000 年 11 月 20 日  
Application Date

申請案號：089124513  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2001 年 11 月 30 日  
Issue Date

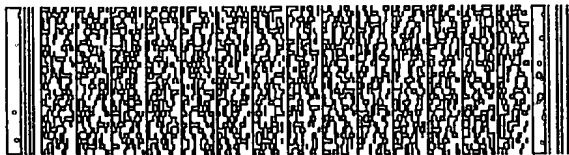
發文字號：09011018537  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

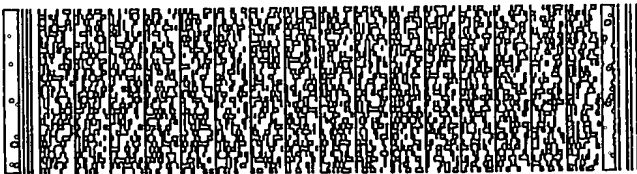
一、 發明名稱	中 文	低伏觸發之靜電放電保護電路
	英 文	
二、 發明人	姓 名 (中文)	1. 俞大立 2. 林錫聰
	姓 名 (英文)	1. Ta-Lee Yu 2.
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹縣竹東鎮中興路四段572巷40弄1號4樓 2. 台北市大同區朝陽里15鄰延平北路二段69號9樓
三、 申請人	姓 名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓 名 (名稱) (英文)	1. Winbond Electronics Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓 名 (中文)	1. 焦佑鈞
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：低伏觸發之靜電放電保護電路)

本發明提供一種低伏觸發之靜電放電保護電路，耦合於一積體電路之一接合墊，以保護該積體電路中之內部電路免於受靜電放電之破壞，包含有一第一導電形之半導體基底、一第二導電形之井區、以及作為一半導體控制整流器之陽極的一第一導電形之陽極摻雜區。一閘結構設於該井區外之半導體基底上。一第二導電形之第一摻雜區設於該半導體基底內以及該第二導電形井區與該閘結構之間，且緊鄰該閘結構。一第二導電形之第二摻雜區設於該半導體基底內，且緊鄰該閘結構，用以作為該半導體控制整流器之陰極。複數之隔絕島(isolated island)，均勻的設於該汲極摻雜區內，以使流經該第一摻雜區之電流繞行該複數之隔絕島，用以增加該第一摻雜區之電阻值，並使閘

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：低伏觸發之靜電放電保護電路)

結構均勻地觸發半導體控制整流器。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

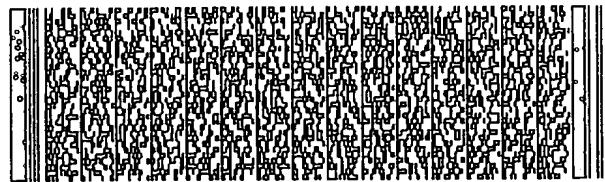
無

## 五、發明說明 (1)

本發明係有關於一種低伏觸發之靜電放電保護電路 (low voltage triggered electrostatic discharge protection circuit)，尤指一種包含一個強韌的金氧半導體晶體所構成之靜電放電保護電路。

在次微米CMOS的技術領域中，靜電放電 (electrostatic discharge) 效應是評價積體電路可靠度良窳時所需考量的重要因素之一。所製造出的積體電路 (integrated circuit, IC) 中的所有的外接元件，如輸出埠 (output port)、輸入埠 (input port)、電源埠 (power port)、等，均需要能將相接觸的物品之靜電放電掉，以保護IC中的內部電路 (core circuit)。

請參閱第1圖，第1圖為一種習知的靜電放電電路。在美國專利編號5,465,189中，靜電放電電路是使用一個側向的半導體控制整流器，以及一個MOS電晶體來達成靜電放電保護的目的，如第1圖所示。靜電放電電路上有一p形之半導體基底16、一n形之井區18、一在井區18中的p形之陽極摻雜區20、以及一n形之MOS電晶體22，而且n形MOS電晶體22包含有一閘極26、一n形之第二摻雜區30以及一n形之第一摻雜區28，而陽極摻雜區20、井區18、半導體基底16以及第二摻雜區30構成了一個側向的半導體控制整流器。第一摻雜區28設在井區18與半導體基底16之交界處，藉以導引井區18中的電流。一p形之第一接觸區34與一n形之第二接觸區36分別設於半導體基底16與井區18上。如第1圖所示，第二接觸區36與陽極摻雜區20均耦合至一接合



## 五、發明說明 (2)

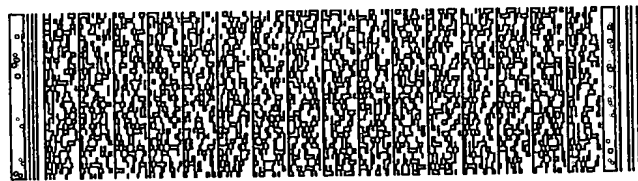
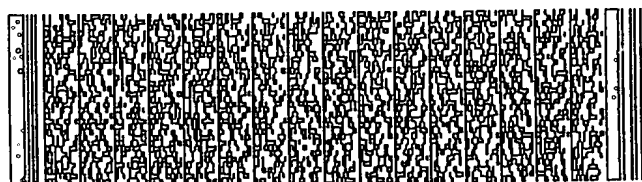
墊12，而接合墊12再耦合至一內部電路(core circuit)，而閘極26、第二摻雜區30以及第一接觸區34均耦合至一電源墊(power pad)，如Vss。

當靜電高電壓出現在接合墊12時，絕大多數的電壓降(voltage drop)會先產生在井區18與半導體基底16之接面(junction)上。因為摻雜濃度的差異，第一摻雜區28與半導體基底16之接面的累增崩潰(avalanche breakdown)電壓會最低，導致了些許的電流流到半導體基底16，進而觸發了側向的半導體控制整流器。所以靜電高電壓便經由半導體控制整流器放電，避免過高的電壓傷害到內部電路。

然而隨著半導體製程的進步，為了降低MOS之源極以及汲極的電阻，所以引進了自動對準金屬矽化物(self-align silicide, salicide)製程。在第一摻雜區28的電阻很小的情況下，將有很大的電壓降在閘極26與第一摻雜區28之間。然而閘極26下的閘氧化層(gate oxide)原本只設計用來處理正常工作時的小電壓(大約3V)，於高電壓的應力(stress)下，將會對閘極26下的閘氧化層造成損傷。

一種解決方法是在只在內部電路中進行salicide製程，而不在靜電保護電路中進行salicide製程。但是，面對這樣的方法，半導體製程中便需要多一道光罩(photo mask)，會大幅的增加製程上的成本。

另一種解決方法是拉大第一摻雜區28的長度，以增加第一摻雜區28之電阻。但是，第一摻雜區28所佔的面積會



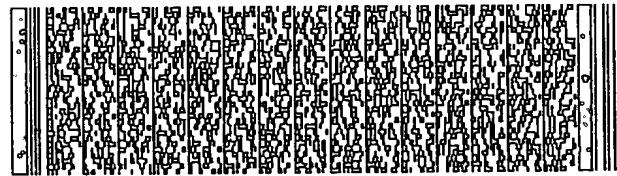
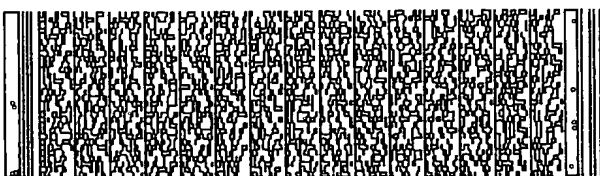


### 五、發明說明 (3)

變的非常的大，成本會大增，而且，第一摻雜區28到MOS側邊的阻值可能會不均勻，容易造成MOS閘極上負載不同，依然造成局部之閘極26下的閘氧化層造成損傷。

有鑑於此，本發明的主要目的，在於提供一種包含一個強韌的MOS電晶體所構成之靜電放電保護電路，MOS電晶體的第一摻雜區經過特別的圖案設計，能夠在不改變製程的條件下，得到一個較大的電阻，同時，所有的MOS閘極上負載均相同，以避免MOS電晶體在靜電放電時閘氧化層遭受損害。

根據上述之目的，本發明提出一種低伏觸發之靜電放電保護電路，耦合於一積體電路之一接合墊，以保護該積體電路中之內部電路免於受靜電放電之破壞。靜電放電保護電路包含有一第一導電形之半導體基底，一第二導電形之井區，設於該半導體基底內，以及一第一導電形之陽極摻雜區，設於該井區內，用以作為一半導體控制整流器之陽極。而在MOS電晶體的結構中，一閘結構設於該井區外之半導體基底上，包含有一第一側邊以及一第二側邊。一第二導電形之第一摻雜區設於該半導體基底內以及該井區與該閘結構之間，且緊鄰該閘結構之第一側邊。一第二導電形之第二摻雜區設於該半導體基底內，且緊鄰該閘結構之第二側邊，用以作為該半導體控制整流器之陰極。該第一摻雜區內均勻的設有複數之隔絕島(isolated island)，以使流經該第一摻雜區之電流繞行該複數之隔絕島，用以增加該第一摻雜區之電阻值。

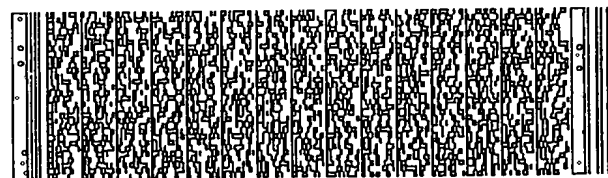
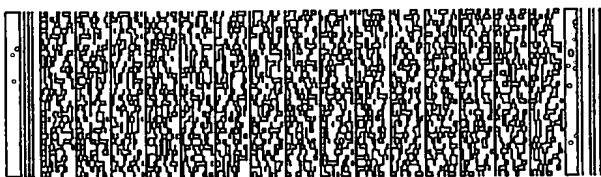


#### 五、發明說明 (4)

就電路的觀點，本發明另提出一種低伏觸發之靜電放電保護電路，耦合於一積體電路之一接合墊，以保護該積體電路中之內部電路免於受靜電放電之破壞。靜電放電保護電路包含有一半導體控制整流器以及一第二導電形之金氧半導體電晶體。半導體控制整流器包含有一陽極、一陽極閘、一陰極閘以及一陰極，且該陽極係耦合於該接合墊。該金氧半導體電晶體設於一含有一第二導電形之井區的一第一導電形之半導體基底上，包含有一閘結構、一第二導電形之第一摻雜區以及一第二導電形之第二摻雜區。

該閘結構設於該半導體基底上，包含有第一側邊以及第二側邊。該第一摻雜區設於該半導體基底內以及該第二導電形井區與該閘結構之間，且緊鄰該閘結構之第一側邊，並包含有至少一接觸端，而該接觸端係與該陽極閘相耦合。該第二摻雜區，設於該半導體基底內，且緊鄰該閘結構之第二側邊，並耦合於該陰極。複數之隔絕島(isolated island)均勻的設於該第一摻雜區內與該接觸端至該第一側邊之間，以使流經該第一摻雜區之電流繞行該複數之隔絕島，用以增加該第一摻雜區之電阻值。

隔絕島可以用許多種方式產生，目的是使該第一摻雜區之電流不能直線的流動，必須繞經隔絕島以增加電阻值。譬如說，一場氧化層(field oxide)可以用來當作一隔絕島，一個氧化層加上一個多晶矽層的浮動閘(floating gate)也可以當作一隔絕島。而每個隔絕島最好有細長的外型，並且平行或垂直於閘結構之第一側邊，



## 五、發明說明 (5)

如此能夠使第一摻雜區中的電阻值大幅增加。

本發明之優點在於不改變製程的條件下，能使第一摻雜區得到一個較大的電阻，同時，所有的MOS開極上負載均相同，以避免MOS電晶體在靜電放電時閘氧化層遭受損害。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖為一種習知的靜電放電電路；

第2A圖為本發明之靜電放電電路之晶片剖面圖；

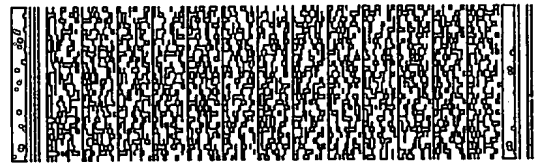
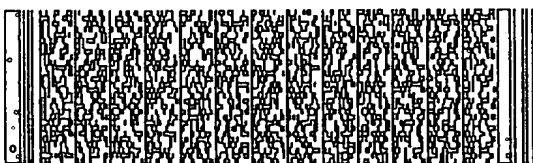
第2B圖為第2A圖之上視圖；

第2C圖為第2A圖之電路示意圖；以及

第3圖為本發明之靜電放電電路之晶片剖面圖之另一實施例。

符號說明：

- |              |           |
|--------------|-----------|
| 10~靜電放電保護電路； | 12~接合墊；   |
| 14~內部電路；     | 16~半導體基底； |
| 18~井區；       | 20~陽極摻雜區； |
| 22~閘結構；      | 24~第一側邊；  |
| 26~第二側邊；     | 28~第一摻雜區； |
| 30~第二摻雜區；    | 32~場氧化層；  |
| 34~第一接觸區；    | 36~第二接觸區； |
| 40~浮動之閘極；    | 42~氧化層；   |



## 五、發明說明 (6)

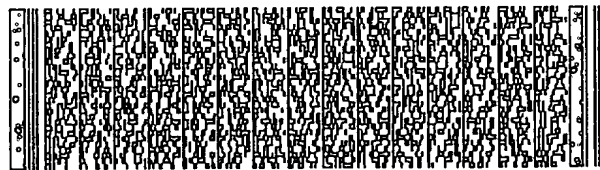
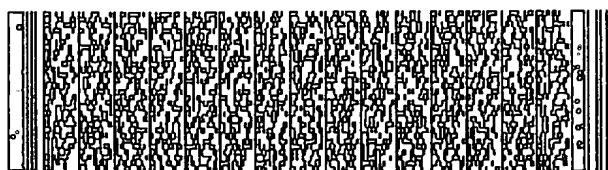
44~多晶矽層。

實施例：

本發明提供了一種包含一個強韌的MOS電晶體所構成之靜電放電保護電路，MOS電晶體的一第二導電形之第一摻雜區經過特別的圖案設計，能夠在不改變製程的條件下，得到一個較大的電阻，以避免MOS電晶體在靜電放電時閘氧化層遭受損害。

為了解說上的方便，以下以p形作為第一導電形、並且以n形作為第二導電形。當然的，n形物與p形物的對調對於習知半導體產品的人已經是一個非常簡單的技術，在此不再多述。

請參閱第2A圖至第2C圖，第2A圖為本發明之靜電放電電路之晶片剖面圖，第2B圖為第2A圖之上視圖，第2C圖為第2A圖之電路示意圖。本發明提供了一種低伏觸發之靜電放電保護電路10，耦合於一積體電路之一接合墊12，以保護該積體電路中之內部電路14免於受靜電放電之破壞。靜電放電保護電路10包含有一p形半導體基底16、一n形井區18以及一p形陽極摻雜區20。n形井區18設於半導體基底16內。陽極摻雜區20設於井區18內。一閘結構22設於井區18外之半導體基底16上，包含有一第一側邊24以及一第二側邊26。一n形之第一摻雜區28設於半導體基底16內以及井區18與閘結構22之間，且緊鄰該閘結構之第一側邊26。一n形之第二摻雜區30設於半導體基底16內，且緊鄰閘結構22之第二側邊24。一p形之第一接觸區34以及一n形之第二



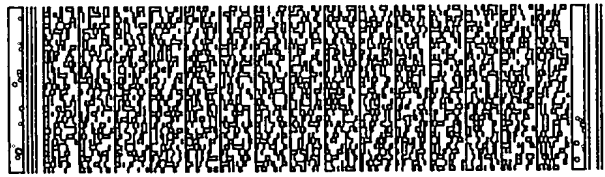
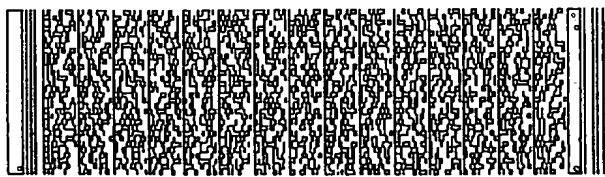
## 五、發明說明 (7)

接觸區36分別設於半導體基底16內與井區18內。如第2A圖所示，陽極摻雜區20、井區18、半導體基底16以及第二摻雜區30形成PNPN之結構。因此，陽極摻雜區20、井區18、半導體基底16以及第二摻雜區30分別作為一半導體控制整流器之陽極、陽極閘、陰極閘以及陰極。

第一摻雜區28內均勻的設有複數之隔絕島(isolated island)，如第2A圖以及第2B圖中所示的長寬大約相同之場氧化層32。當電流於第一摻雜區28中流動時，電流不能跨過場氧化層32，只能繞行經過，所以可以增加第一摻雜區28之電阻值。

第一接觸區34、第二摻雜區30以及閘結構22之閘極耦合至積體電路之一電源墊，譬如說VSS。第一摻雜區28因為場氧化層32之阻擋，所以可以視為一個電阻，電阻一端連在閘結構22旁，電阻另一端耦合於井區18，也就是陽極閘。第二接觸區36與陽極摻雜區20均耦合於於接合墊12，也就是陽極。如果以電路圖的符號表示，便如第2C圖所示的連結關係。

靜電電位(electrostatic voltage)出現於接合墊12時，因為第一摻雜區28的隔絕島32之阻擋，電壓並不會很快的傳導至閘結構22的邊緣。所以只要調整隔絕島32所造成的電阻值之大小，便可以控制在閘結構22的邊緣電壓高到會損害閘氧化層之前便觸發半導體控制整流器。如此，在閘結構22的邊緣電壓便會大幅的下降，便不會對閘結構22中的氧化層造成損傷。



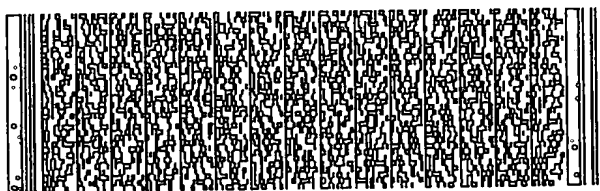
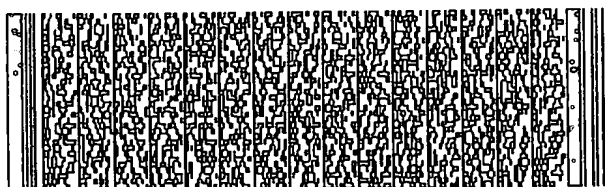
## 五、發明說明 (8)

隔絕島是均勻的設在第一摻雜區28內。如此，流經第一摻雜區28內的電流便能均勻的錯開，並且均勻的到閘結構22的邊緣，使閘結構22均勻的負責觸發半導體控制整流器，所以能使閘結構22達到最好的功效。

隔絕島只要達到阻擋電流的效果便可。所以每一隔絕島也可以用一個浮動之閘極40來構成，如第3圖所示。浮動之閘極40包含有一氧化層42，設於半導體基底16上，以及一多晶矽層44，設於氧化層42上。閘定義(gate patterning)往往是半導體製程中設計(design rule)最緊(tight)的地方，所以能做出更小更多的隔絕島，能大幅增加第一摻雜區28的電阻值。此外，每一隔絕島可以有一細長外型，如一個長島狀物，且大約平行或垂直於閘結構之第一側邊，如此便能增加電流的路徑，增大汲極摻雜區28的阻值。

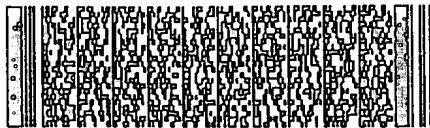
相較於習知的低伏觸發之靜電放電保護電路，當半導體製程加入salicide製程時，依據本發明，只要均勻的加上隔絕島便可以大幅的增加金氧半電晶體之汲極摻雜區中的電阻值，所以不再像習知的放電保護電路一樣需要多一道光罩的處理。此外，隔絕島可以製作的又細又長，並且平行或垂直於閘結構之第一側邊，所以不會增大太多的面積，而且隔絕島能使閘結構22均勻的負責觸發半導體控制整流器，所以能使閘結構22達到最好的功效。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神



五、發明說明 (9)

和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種低伏觸發之靜電放電保護電路，耦合於一積體電路之一接合墊，以保護該積體電路中之內部電路免於受靜電放電之破壞，包含有：

- 一第一導電形之半導體基底；
- 一第二導電形之井區，設於該半導體基底內；
- 一第一導電形之陽極摻雜區，設於該井區內；
- 一閘結構，設於該井區外之該半導體基底上，包含有一第一側邊以及一第二側邊；
- 一第二導電形之第一摻雜區，設於該半導體基底內以及該井區與該閘結構之間，且緊鄰該閘結構之第一側邊；
- 一第二導電形之第二摻雜區，設於該半導體基底內，且緊鄰該閘結構之第二側邊；以及

複數之隔絕島(isolated island)，均勻的設於該第一摻雜區內，以使流經該第一摻雜區之電流繞行該等隔絕島，用以增加該第一摻雜區之電阻值。

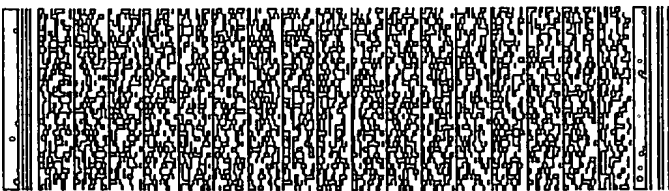
2. 如申請專利範圍1之靜電放電保護電路，其中該靜電放電保護電路另包含有：

- 一第一導電形之第一接觸區，設於該半導體基底內；
- 以及

- 一第二導電形之第二接觸區，設於該井區內；

其中，該第一接觸區係耦合於該第二摻雜區以及該積體電路之一電源墊，且該陽極摻雜區係耦合於該接合墊。

3. 如申請專利範圍1之靜電放電保護電路，其中該第二接觸區係耦合於該陽極摻雜區。





#### 六、申請專利範圍

4. 如申請專利範圍1之靜電放電保護電路，其中該閘結構包含有一氧化層，設於該半導體基底上，以及一多晶矽層，設於該氧化層上。

5. 如申請專利範圍4之靜電放電保護電路，其中該閘結構之多晶矽層係耦合於該第二摻雜區。

6. 如申請專利範圍1之靜電放電保護電路，其中每一隔絕島包含有一氧化層，設於該半導體基底上，以及一多晶矽層，設於該氧化層上。

7. 如申請專利範圍1之靜電放電保護電路，其中該等隔絕島係由場氧化層所構成。

8. 如申請專利範圍1之靜電放電保護電路，其中每一隔絕島的長寬係大約相同。

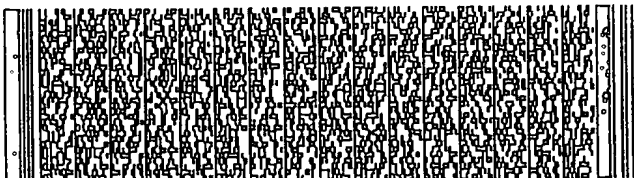
9. 如申請專利範圍1之靜電放電保護電路，其中每一隔絕島包含有一細長外型且大約平行於該閘結構之第一側邊。

10. 如申請專利範圍1之靜電放電保護電路，其中每一隔絕島包含有一細長外型且大約垂直於該閘結構之第一側邊。

11. 如申請專利範圍1之靜電放電保護電路，其中，該第一導電形係為p形，且該第二導電形係為n形。

12. 一種低伏觸發之靜電放電保護電路，耦合於一積體電路之一接合墊，以保護該積體電路中之內部電路免於受靜電放電之破壞，包含有：

一半導體控制整流器，包含有一陽極、一陽極閘、一



## 六、申請專利範圍

陰極閘以及一陰極，且該陽極係耦合於該接合墊；以及  
一第二導電形之金氧半導體電晶體，設於含有一第二導電形之井區的一第一導電形之半導體基底上，包含有：

一閘結構，設於該半導體基底上，包含有一第一側邊以及一第二側邊；

一第一摻雜區，設於該半導體基底內以及該井區與該閘結構之間，且緊鄰該閘結構之第一側邊，並包含有至少一接觸端，而該接觸端係與該陽極閘相耦合；

一第二摻雜區，設於該半導體基底內，且緊鄰該閘結構之第二側邊，並耦合於該陰極；以及

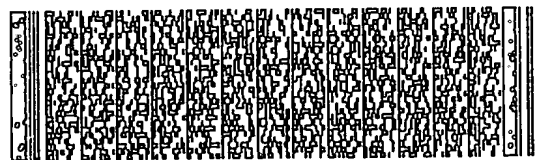
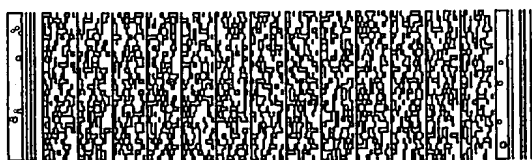
複數之隔絕島(isolated island)，設於該第一摻雜區內與該接觸端至該第一側邊之間，以使流經該第一摻雜區之電流繞行該複數之隔絕島，用以增加該第一摻雜區之電阻值。

13. 如申請專利範圍12之靜電放電保護電路，其中每一隔絕島包含有一氧化層，設於該半導體基底上，以及一多晶矽層，設於該氧化層上。

14. 如申請專利範圍12之靜電放電保護電路，其中該積體電路另包含有複數之場氧化層，而每一隔絕島係以一場氧化層所形成。

15. 如申請專利範圍12之靜電放電保護電路，其中每一隔絕島的長寬係大約相同。

16. 如申請專利範圍12之靜電放電保護電路，其中每一隔絕島包含有一細長外型且大約平行於該閘結構之第一



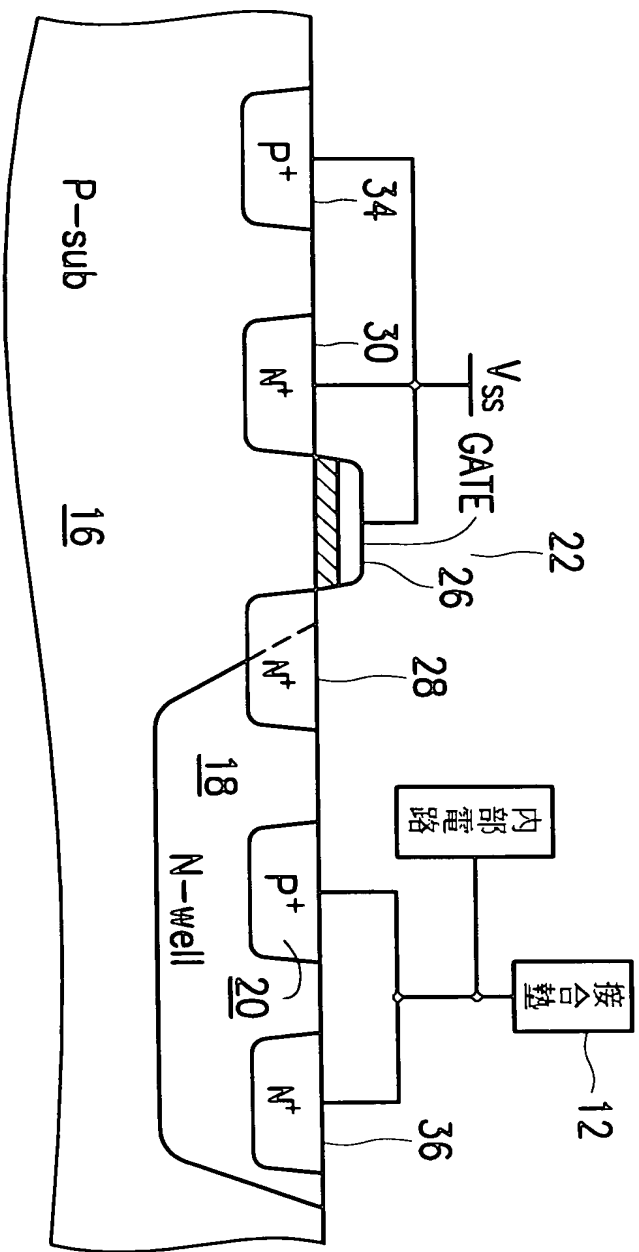
#### 六、申請專利範圍

側邊。

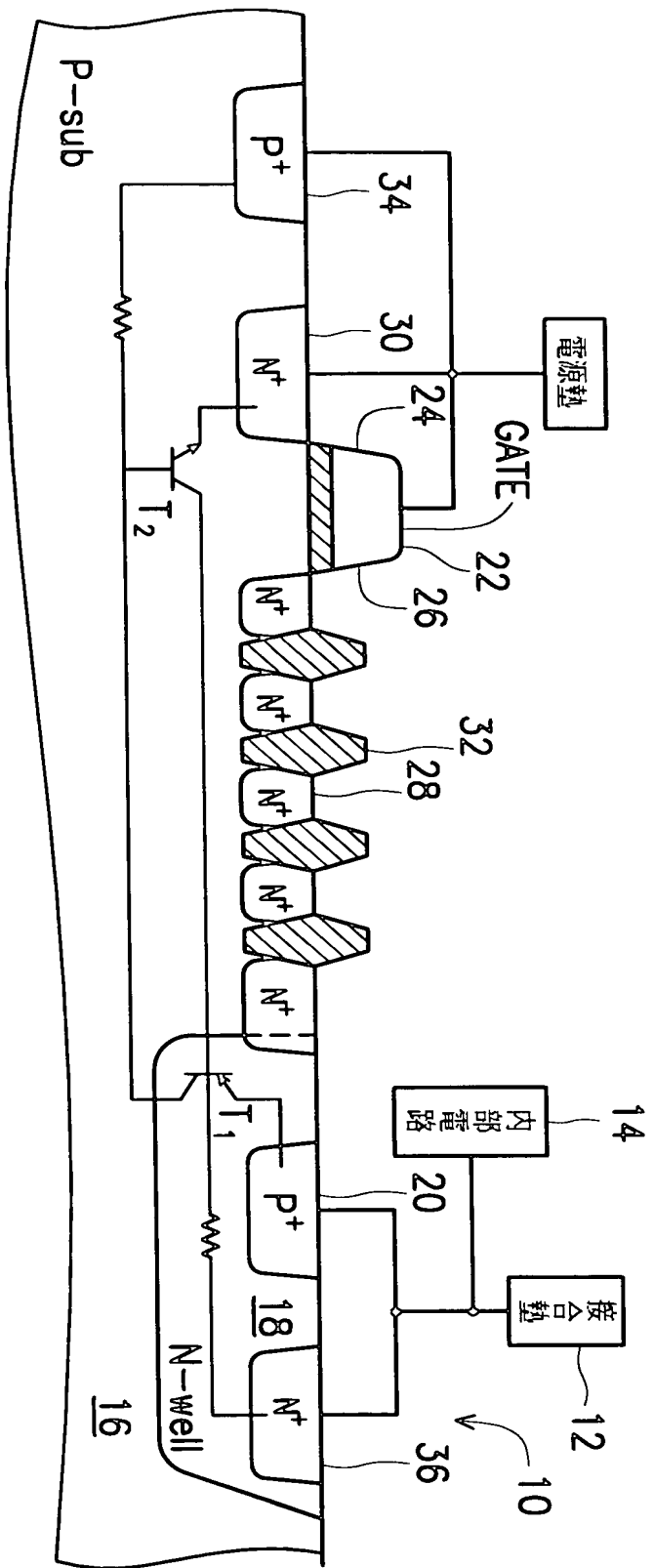
17. 如申請專利範圍12之靜電放電保護電路，其中每一隔絕島包含有一細長外型且大約垂直於該閘結構之第一側邊。

18. 如申請專利範圍12之靜電放電保護電路，其中，該第一導電形係為p形，且該第二導電形係為n形。

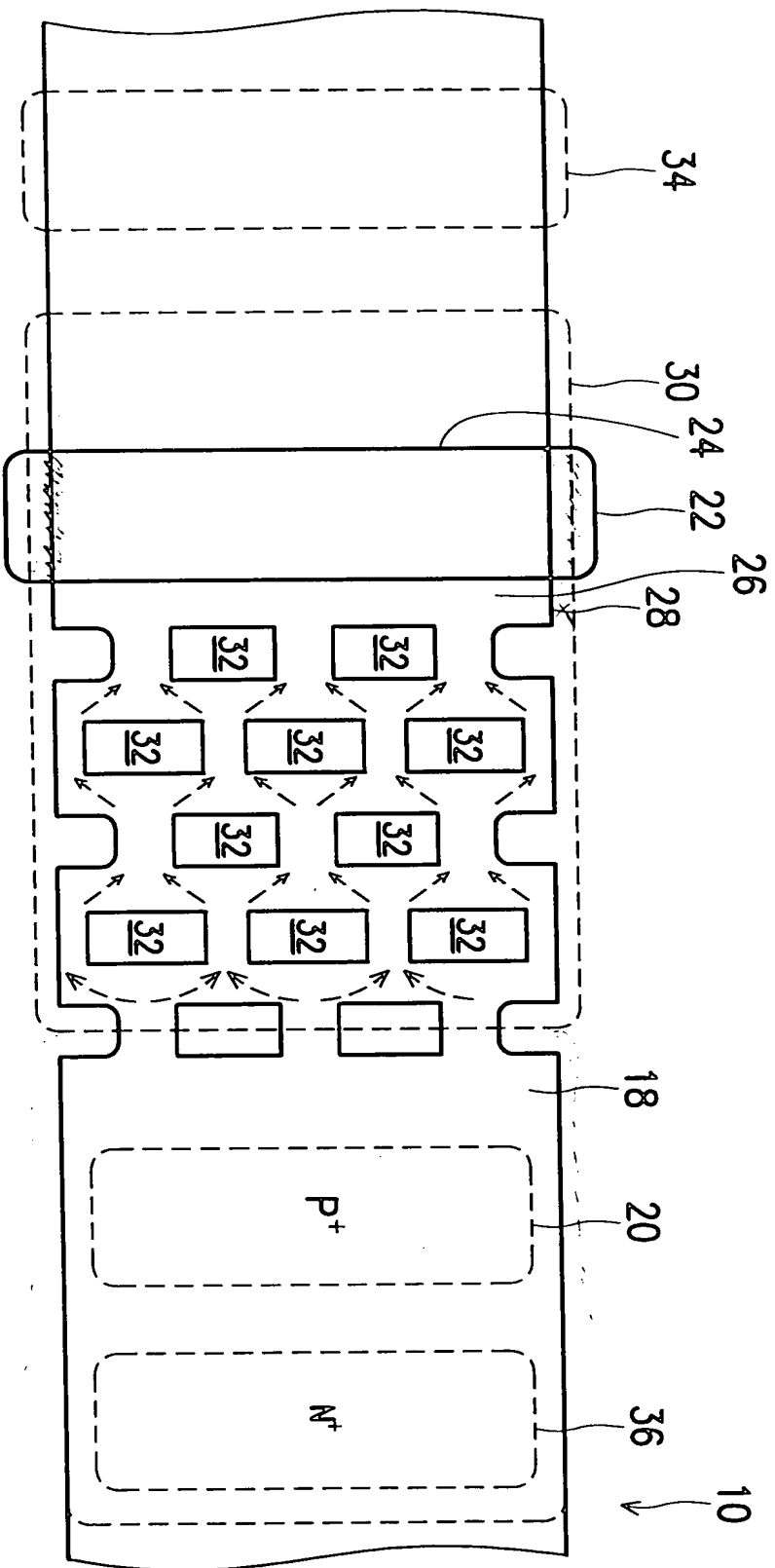




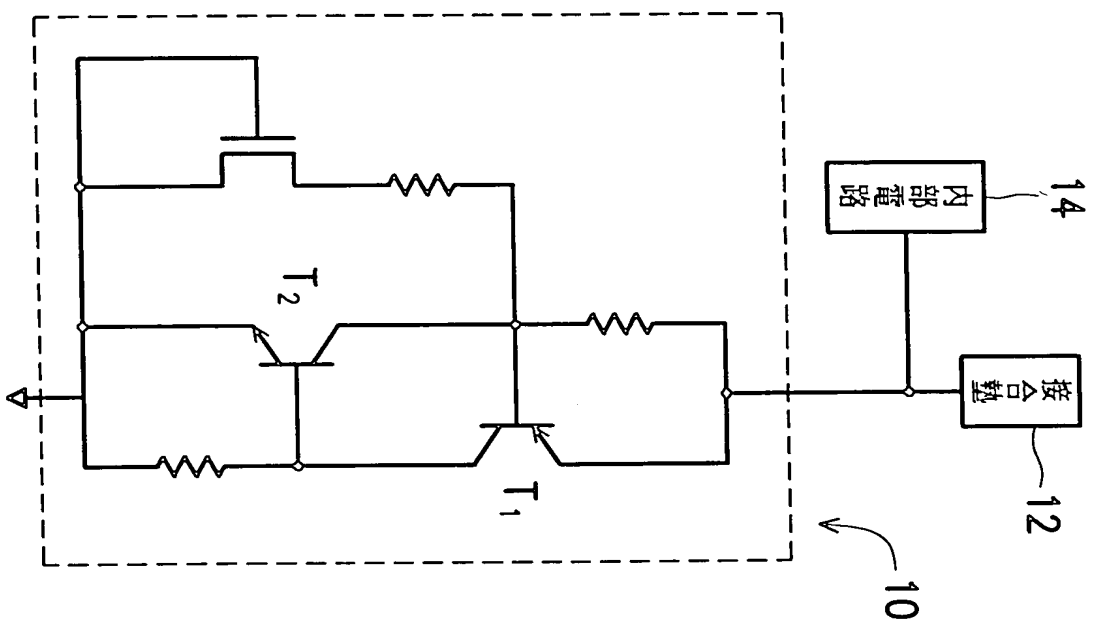
第 1 圖



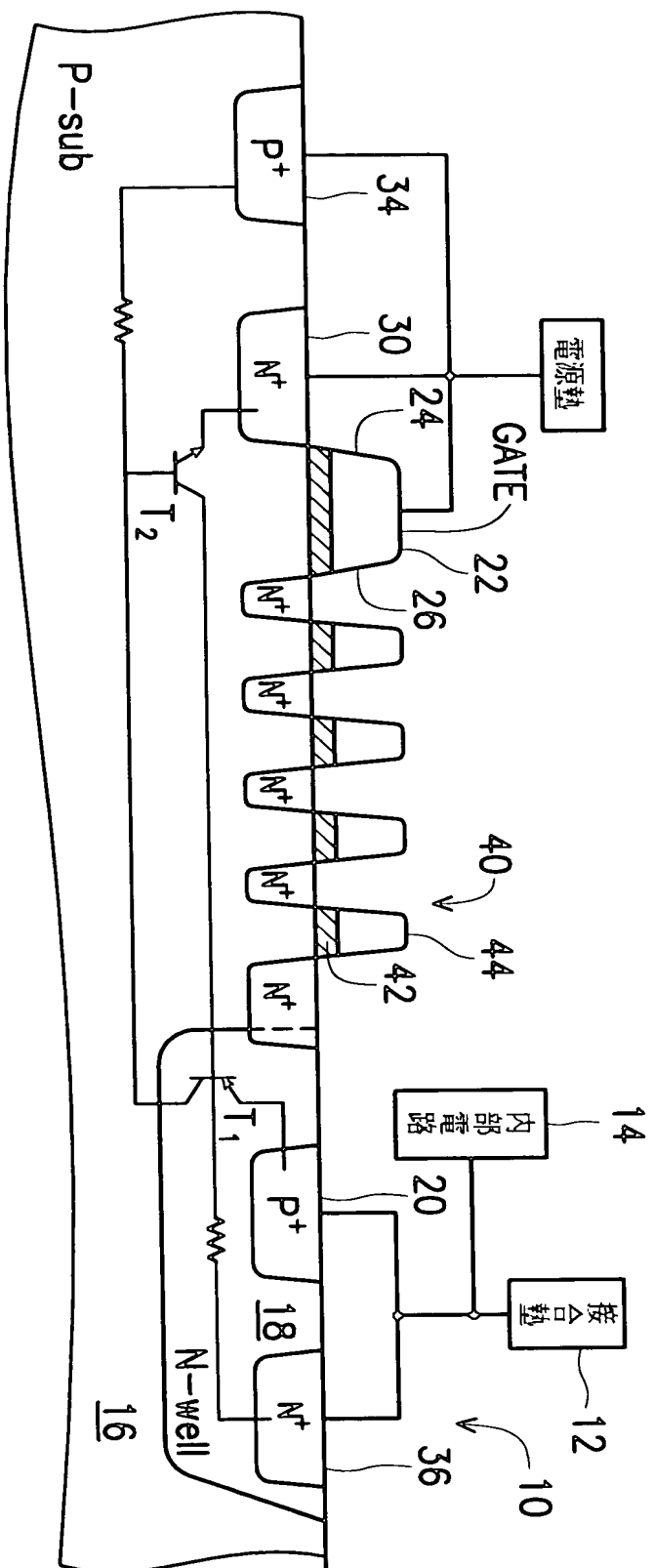
第2A圖



第28圖



第2C圖



第 3 圖



第 1/17 頁



第 2/17 頁



第 3/17 頁



第 5/17 頁



第 5/17 頁



第 6/17 頁



第 6/17 頁



第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



第 10/17 頁



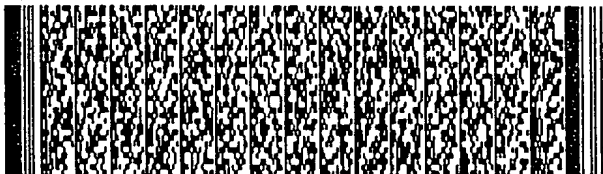
第 10/17 頁



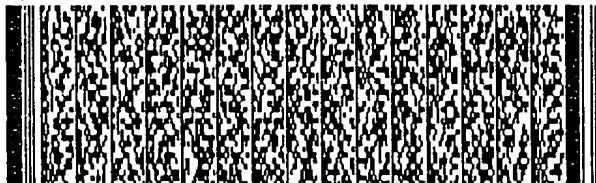
第 11/17 頁



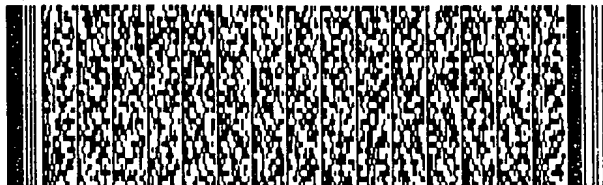
第 11/17 頁



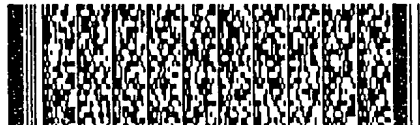
第 12/17 頁



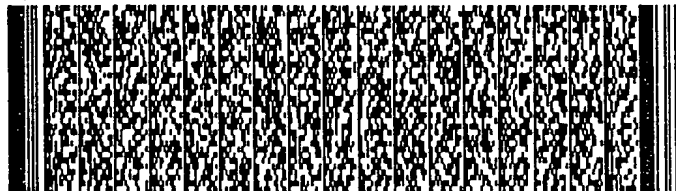
第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

